

1. Contexte et objectif



L'entreprise **Mu-Test** est spécialisée dans le développement de systèmes pour l'automatisation des tests des circuits intégrés (**ATE: Automatic Test Equipment**). Sa particularité est l'utilisation de FPGA pour le développement des équipements de test à bas coût.

Mu-Test cherche à développer son système de test en modifiant l'architecture de sa passerelle. En effet, un équipement de test est composé principalement de trois parties : PC qui génère les vecteurs de test, un contrôleur qui les exécute et une passerelle qui assure la communication entre les deux autres parties.

La nouvelle architecture de la passerelle « **GTW** » est basée principalement sur un SoC « Zynq » et un FPGA « Virtex5 ». L'objectif est d'atteindre un débit précis de transfert de données du PC vers le Virtex en passant par un lien Ethernet PC-Zynq et une communication Zynq-Virtex selon les protocoles Mu-TEST: **RapidSync** et **SlowBus**.



2. Méthodes et développements

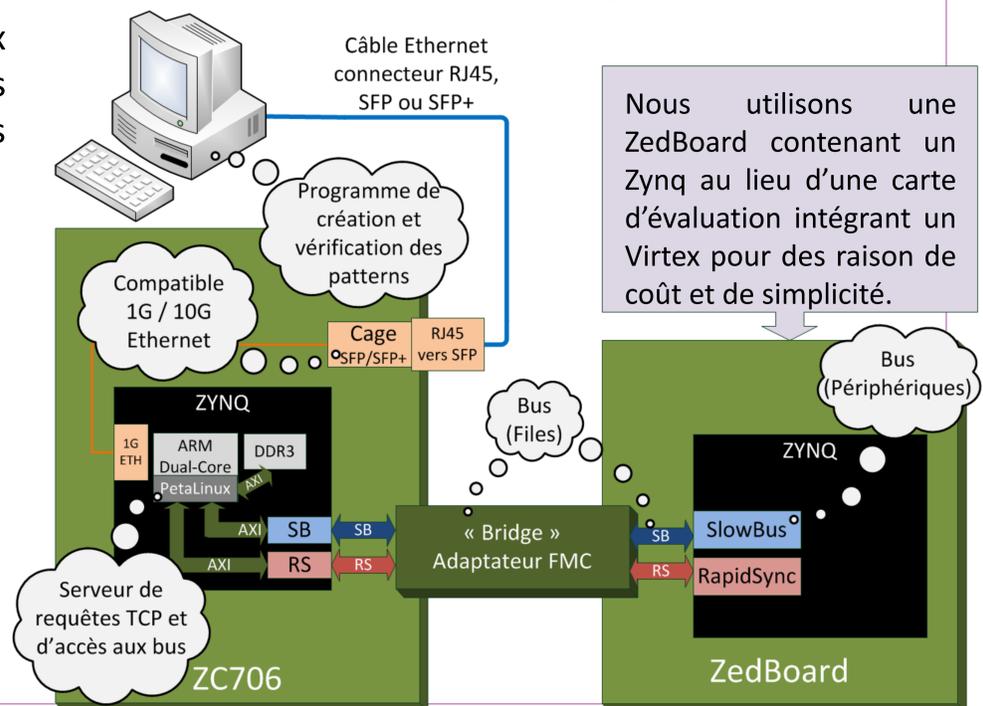


Après la formulation du cahier des charges, le début du projet a impliqué une étude sur les technologies à utiliser.

En s'appuyant sur les codes Verilog de Mu-TEST ainsi que ceux de l'année précédente (PI 2015), nous avons développé des blocs IP assurant la communication suivant les protocoles RapidSync et SlowBus. L'articulation était la suivante :

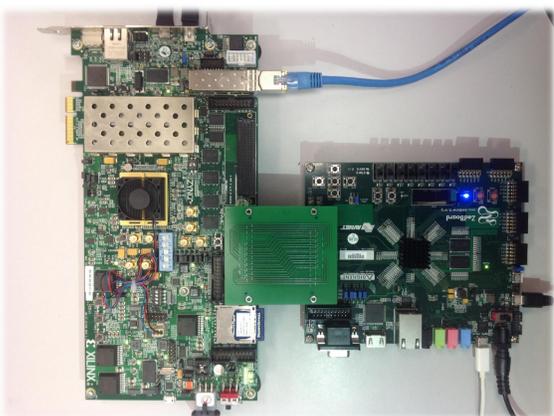
- Analyser les codes existants et faire les modifications nécessaires
- Ecrire les codes pour les blocs de réceptions RapidSync et SlowBus (pour la ZedBoard)
- Créer les Testbenchs et faire les simulations
- Créer les designs qui implémentent RS et SB
- Créer les applications en code C sous Petalinux, l'OS embarqué

Afin d'atteindre les performances souhaitées, la dernière étape était consacrée pour le test de débits et l'optimisation

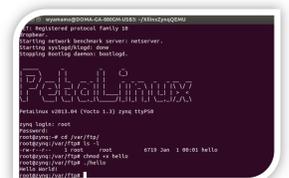


Nous utilisons une ZedBoard contenant un Zynq au lieu d'une carte d'évaluation intégrant un Virtex pour des raisons de coût et de simplicité.

3. Résultats et conclusion



- Création des blocs IP RapidSync et SlowBus
- Création des designs (Vivado) globaux intégrant le module Ethernet 1Gbps et les module RS et SB
- Création des applications Petalinux (en code C)



Le projet a abouti à assurer un transfert de données du PC à la ZedBoard au débit exigé par Mu-TEST.

Mots-clés : SoC, Zynq, FPGA, bus, Gateway, électronique embarqué, Design haut niveau, multi-FPGA design, AXI, TCP/IP, Petalinux