

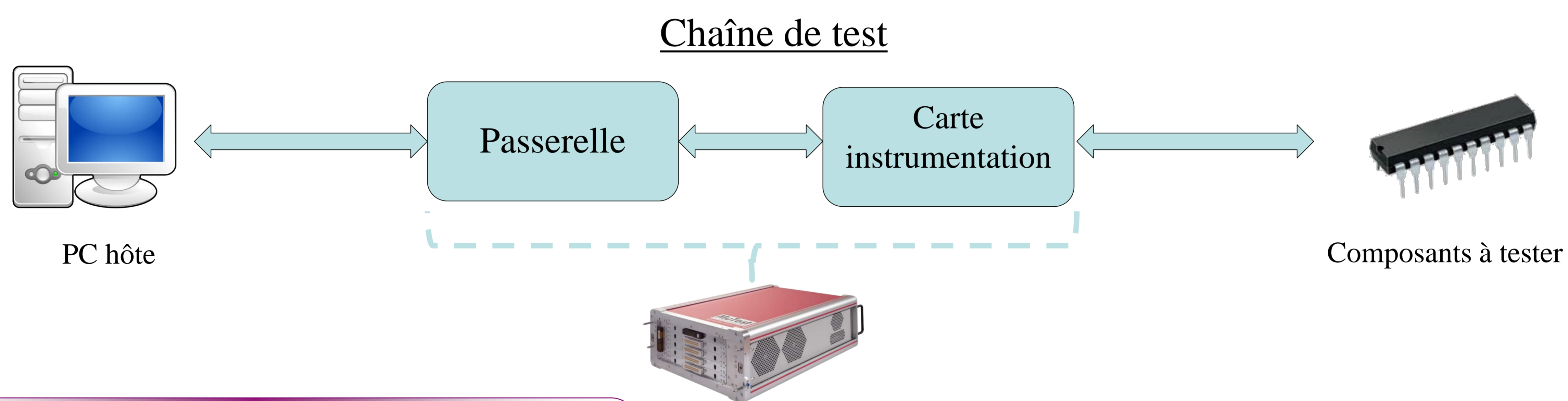
1. Contexte et objectif



Mu-Test est une entreprise spécialisée dans la création et fourniture de **de systèmes (bancs) de tests** pour la vérification de **composants électroniques** en sortie de chaîne. Avec des systèmes jusqu'à 5 fois moins consommateurs en énergie que ses concurrents, Mu-Test se démarque par son niveau technologique.

Chaque banc de test contient des **cartes d'instrumentation** (pour le test de composants) et une **carte passerelle** (pour recevoir les programmes de tests de composants depuis le PC). Une carte passerelle utilise un CPU et une liaison **Ethernet 1Gbps**, avec un débit effectif de 80Mbps. Or, la nécessité de traiter de **grandes quantités d'informations** étant de plus en plus importante, la taille des séquences de tests envoyées aux composants est également plus conséquente, et d'autant plus coûteuse en temps de test.

L'objectif du projet est de modifier l'architecture de la **passerelle** et d'augmenter la **bande passante à 10Gbps** pour un débit de 6Gbps, afin de réduire le temps de test des composants. La passerelle actuelle sera remplacée par une solution entièrement basée sur la technologie **FPGA** ainsi qu'une liaison **Ethernet 10Gbps**.



2. Méthodes et développements

Planification/Veille

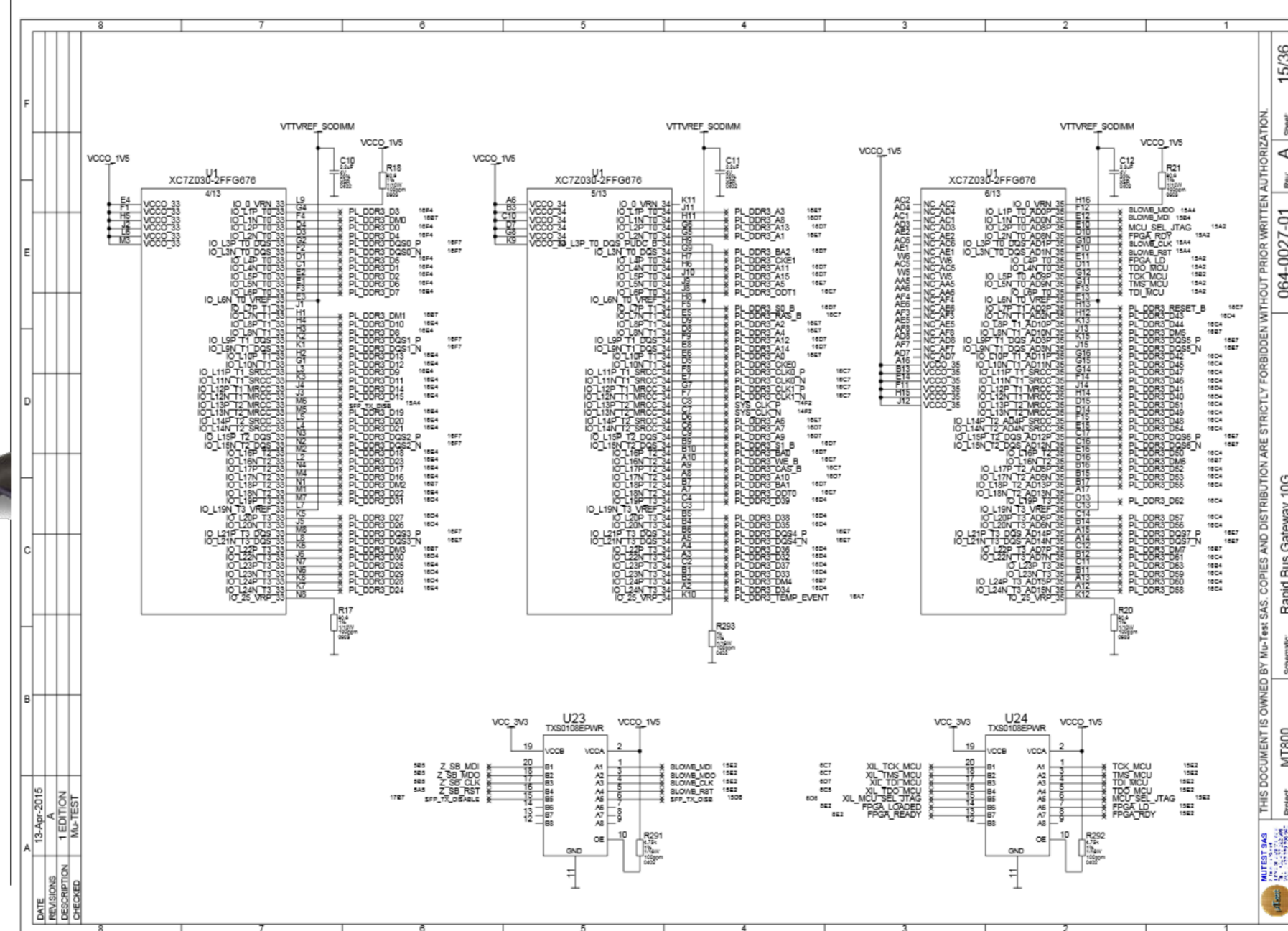
Elaboration d'un planning semestriel.
Choix de **l'environnement de développement**.



Rédaction de documents explicatifs.

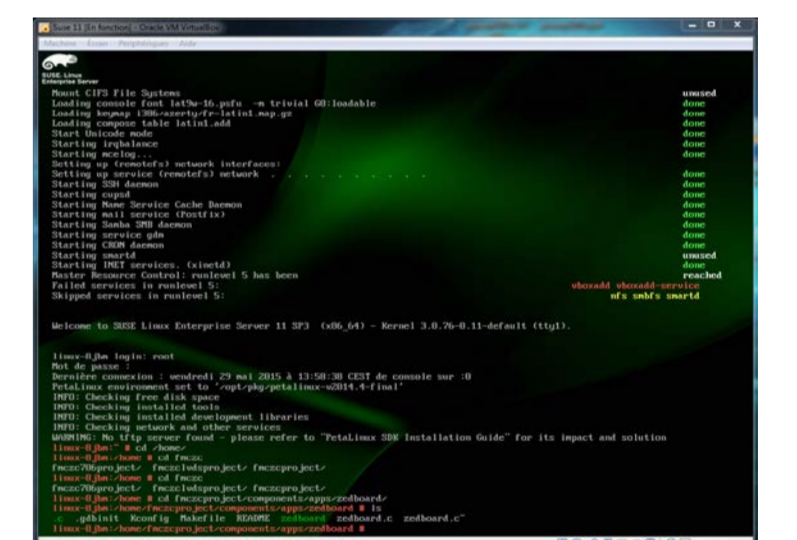
Conception de carte

Modification de la **schématique** du banc de test existant.

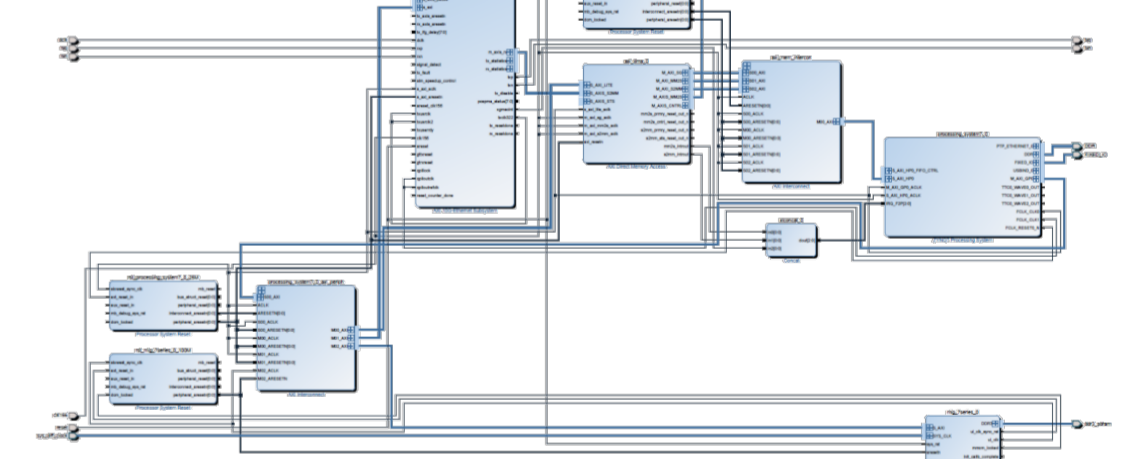


Développement Software/Tests

Mise en place d'un **Linux** embarqué sur cœur ARM.



Conception du Design du **FPGA**.



Conception des bus de communication.

Tests sur environnement de simulation.

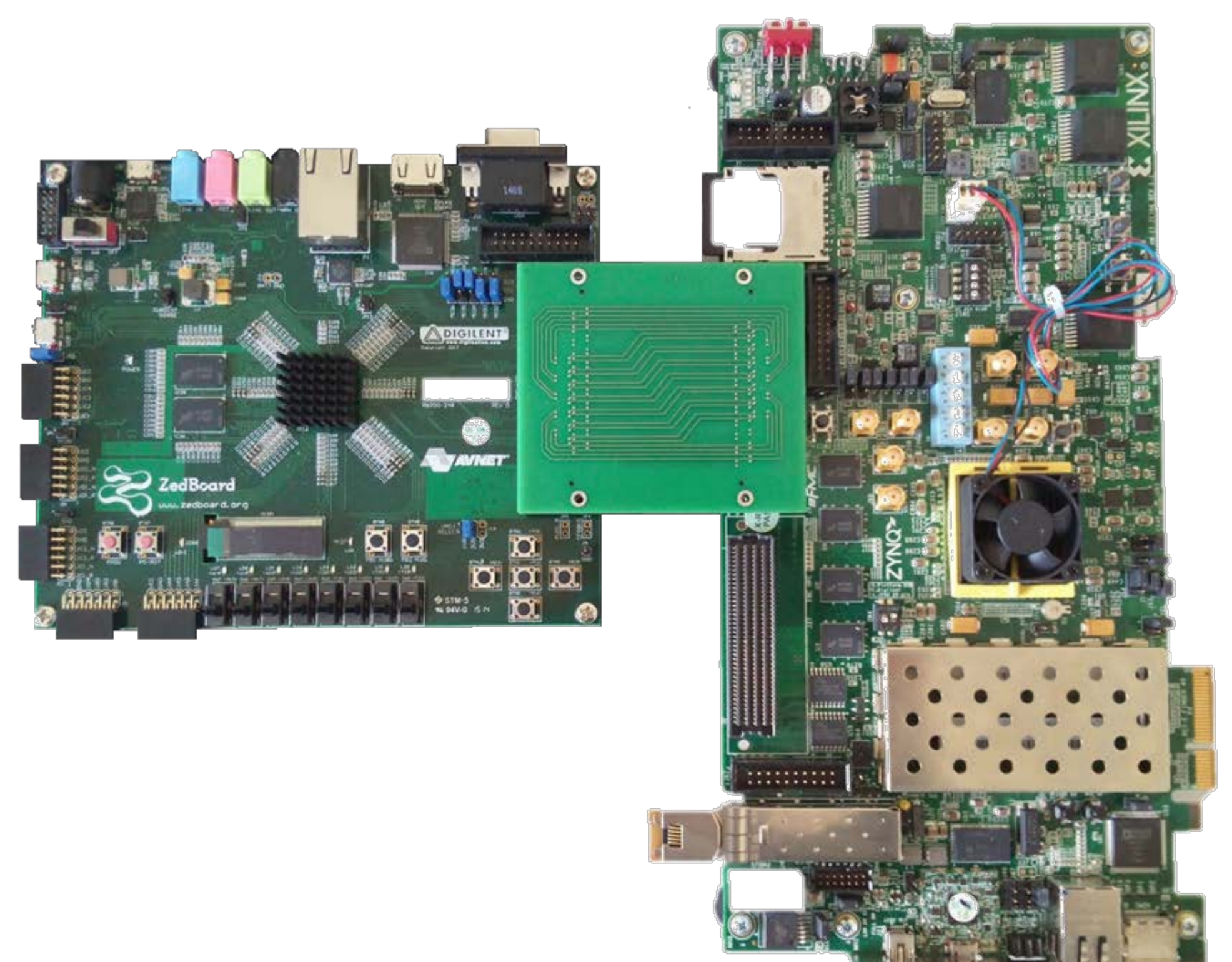
3. Résultats et conclusion

La modification de la schématique va permettre à l'entreprise d'éditer dans le futur, une nouvelle version de leur banc de test.

Nous avons mis en place un environnement de développement permettant de simuler le fonctionnement de la carte passerelle et du PC hôte.

Une communication 1Gbps est fonctionnelle entre le PC hôte et les cartes de développement.

La communication inter-cartes de développement est réalisée à l'aide d'un bus propriétaire de Mu-Test adapté.



Mots-clés : FPGA, Bande passante, Passerelle, Système de tests, C, Verilog